

#3

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: Naomi YAMAZAKI

Filed : Concurrently herewith

For : CROSS-CONNECTION SWITCH

Serial No. : Concurrently herewith

10518 U.S. PTO
09/411917
10/04/99

October 4, 1999

Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese patent application No.
10-309309 of October 30, 1998 whose priority has been claimed
in the present application.

Respectfully submitted

Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUJO16.572
LHH:priority

Filed Via Express Mail
Rec. No.: EM366876405US
On: October 4, 1999
By LHH
Any fee due with this paper, not fully
Covered by an enclosed check, may be
Charged on Deposit Acct. No. 08-1634

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

518 U.S. PTO
09/411917
10/04/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

願 年 月 日
Date of Application:

1998年10月30日

願 番 号
Application Number:

平成10年特許願第309309号

願 人
Applicant(s):

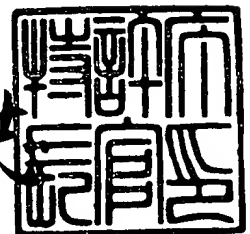
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 3月26日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3018846

【書類名】 特許願

【整理番号】 9801770

【提出日】 平成10年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H04M 1/00

【発明の名称】 クロスコネクトスイッチ

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山崎 直己

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100074099

【郵便番号】 102

【住所又は居所】 東京都千代田区二番町8番地20 二番町ビル3F

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【選任した代理人】

【識別番号】 100067987

【郵便番号】 222

【住所又は居所】 神奈川県横浜市港北区太尾町1418-305 (大倉山二番館)

【弁理士】

【氏名又は名称】 久木元 彰

【電話番号】 045-545-9280

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705047

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロスコネクトスイッチ

【特許請求の範囲】

【請求項1】 タイムスロット情報が割り付けられたアドレスに、タイムスロットの交換情報を示すデータを記憶する第1のメモリ手段と、

入力フレームの各タイムスロットのデータをタイムスロット単位に格納し、該第1のメモリ手段に記憶されているデータを入力し、該データによって指示されるアドレスに格納されているデータを出力フレームのタイムスロットのデータとして出力する第2のメモリ手段と、

入力フレームのタイムスロットの入力数を計数し、該計数値を、該第1のメモリ手段及び該第2のメモリ手段に、それぞれ、読み出しアドレス及び書込みアドレスを出力するカウンタ手段とを備え、
ることを特徴とするクロスコネクトスイッチ。

【請求項2】 入力フレームが1チャンネルあたりnビットで構成される多重化回線信号を処理する場合、前記第1のメモリ手段のアドレスに、各チャンネルのnビットの個々のビットのタイムスロット番号を割り付け、前記第2のメモリ手段の各アドレスに該個々のビットデータのタイムスロットの交換情報を示すデータを登録することを特徴とする請求項1に記載のクロスコネクトスイッチ。

【請求項3】 前記クロスコネクトスイッチに複数の回線が収容される場合、前記第1のメモリ記憶手段の各アドレスに、タイムスロットのデータの時間順序の交換情報及び回線間での交換情報データを登録することにより、複数の回線入力から任意の回線を選択して、スイッチング処理ができることを特徴とする請求項1に記載のクロスコネクトスイッチ。

【請求項4】 前記第2のメモリ手段には、現時点の入力タイムスロットの情報を書込み、前記第1のメモリ手段からは、該現時点のタイムスロットよりも1タイムスロット早いタイムスロットの処理に使用されるデータを読み出して、前記第1のメモリ手段から前記第2のメモリ手段に読み出しアドレスを出力し、前記第2のメモリ手段から上記1タイムスロット早いタイムスロットの処理に使用されるタイムスロットのデータを読み出すことを特徴とする請求項1に記載のク

ロスコネクトスイッチ。

【請求項 5】 入力回線から直接入力されるタイムスロットのデータと前記第 2 のメモリ手段から読み出されたタイムスロットのデータを切り替え出力するセクタ手段を更に備え、

該セクタ手段に、前記第 1 のメモリ手段から読み出された情報を、セクタ信号として入力させることにより、該セクタ手段に、スイッチング処理をしないタイムスロットの情報は処理を行わずに、そのまま出力フレームのタイムスロットデータとして出力させ、前記第 2 のメモリ手段から読み出されたタイムスロットのデータはスイッチング処理を行う出力フレームのタイムスロットのデータとして、出力させるように制御することを特徴とする請求項 1 に記載のクロスコネクトスイッチ。

【請求項 6】 前記第 2 のメモリ手段から読み出されたタイムスロットのデータを保持するフリップフロップ手段を更に備え、

前記第 2 のメモリ手段から、現時点よりも、1 タイムスロット早いタイムスロットのデータとして使用されるタイムスロットデータを該フリップフロップ手段に入力させて、入力フレームのタイムスロットに同期した第 1 のクロックの位相を調整することにより生成された第 2 のクロックを、前記フリップフロップ手段に入力させることにより、前記セクタ手段のスイッチング処理のタイミングを調整することを特徴とする請求項 5 に記載のクロスコネクトスイッチ。

【請求項 7】 前記第 1 のクロックを入力し、前記第 1 のクロックよりも、位相が、前記フリップフロップ手段の出力遅延と前記セクタ手段のスイッチング遅延の双方を考慮した所定時間だけ進められた前記第 2 のクロックを生成する位相調整手段を更に備え、

該位相調整手段により生成された前記第 2 のクロックを前記フリップフロップ手段にクロック信号として入力させることにより、上記出力遅延及び上記スイッチング遅延の双方を吸収することを特徴とする請求項 6 に記載のクロスコネクトスイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル信号の伝送において、複数チャネルが多重化された回線で構成されるネットワーク上で、各チャネル単位に接続先を切り替えることができるクロスコネクタ装置におけるクロスコネクタスイッチに関する。

【0002】

【従来の技術】

近年、伝送路を使って伝送されるデータが音声データのみから、画像データ等のマルチメディア情報に拡張されつつあり、ネットワークの高速化及び大容量化が必要となってきた。この場合、送信されてきたデータ信号を回線交換する交換機あるいはクロスコネクタ装置もできるだけ多くの回線を収容し、高速で交換処理を行うことが望まれている。

【0003】

図14は、従来のクロスコネクタ装置において、フレーム信号をチャネル単位で時間・空間的に交換するスイッチ部分（クロスコネクタスイッチ）の構成を示す図である。

【0004】

同図において、クロスコネクタスイッチは、入力回線1～4からデータ（フレーム）を入力し、クロスコネクタを行って（各チャネル単位に接続先を切り替えて）、該クロスコネクタされたデータ（フレーム）を出力回線1～4に出力する構成となっている。この場合、クロスコネクタスイッチ内には単位スイッチ149-1～149-4が、出力回線の数だけ設けられており、それぞれは、入力回線1～4の信号（フレーム）を入力して、該入力信号（入力フレーム）に対してクロスコネクタを行い、該クロスコネクタ処理が施された信号（出力フレーム）を、それぞれに対応する出力回線1～4に出力する構成となっている。尚、単位スイッチ149-2～149-4は、単位スイッチ149-1と同じ構成なので内部構成の図示を省略している。また、同図では、収容する回線を4つとしているが、クロスコネクタスイッチの構成は必ずしもこの構成には限られず、クロスコネクタする回線数に応じて変化する。

【0005】

入力回線 1～4 から入力されたシリアル信号は、それぞれシリアルーパラレル変換器 155～158 によって n ビット (n は正の整数) のパラレル信号に変換される。シリアルーパラレル変換は、1 フレームの入力信号 (入力データ) の各 1 チャンネル毎に行われる。シリアルーパラレル変換器 155～158 において、パラレル信号に変換された入力信号は、それぞれメモリ 150～153 に記憶される。該パラレル信号の記憶はチャンネル単位で行われる。すなわち、個々のチャンネルのパラレル信号は、1 つのアドレスに記憶される。

【0006】

アドレス読み出し制御部 154 は、クロスコネクタ装置の制御部 (不図示) からの指示に従い、メモリ 150～153 にパラレル信号の読み出しアドレス 170 を供給する。該アドレス 170 の入力により、メモリ 150～153 から出力された各チャンネルのパラレル信号は、4-1 セレクタ 159 に入力される。アドレス読み出し制御部 154 は、メモリ 150～153 のいずれかから出力されたパラレル信号がチャンネル毎に切り替え出力されるように、4-1 セレクタ 159 に選択信号 SEL を印加する。このようにして、入力回線 1～4 から入力された各フレームの各チャンネルのパラレル信号を時空間的に入れ換えてパラレルーシリアル変換器 160 に出力し、該各チャンネルのパラレル信号を、各チャンネル毎に、パラレルーシリアル変換器 160 でシリアル信号に変換し、出力フレームの各タイムスロットに同期させて出力回線 1 に出力する。

【0007】

同様に、他の単位スイッチ 149-1～149-4 は、それぞれ、出力回線 2～4 に、出力フレームを出力する。

以上のように、従来のクロスコネクタ装置では、シリアルに入力される各フレームのタイムスロットに割り当てられた 1 チャンネル分の信号をパラレル信号に変換してからクロスコネクタを行っていた。

【0008】

すなわち、同図に示される従来の構成では、1 フレームの多重化された信号の 1 チャンネルが n ビット単位 (n は正の整数) で構成され、 n ビット単位で時分割に交換を行う構成になっている。

【0009】

そして、入力回線1～4の信号をシリアル-パラレル変換処理しているため、スイッチング処理を開始する前に n ビットの平行データ（1チャンネルのデータ）が揃うまでに n クロック+0.5クロック（マージン確保のため、クロックと逆相で処理するため）の遅延が生じる。尚、ここでの1クロックは、入力フレームの1ビットの信号に同期したクロックである。すなわち、入力回線1～4を介してシリアルに送信されてくる信号を n ビットの平行信号とするためには、 n ビットの信号がシリアル-パラレル変換器155～158に入力される必要があり、このために n クロックの遅延が生じる。また、シリアル-パラレル変換器155～158において、シリアル信号の値を正しくラッチするためには、1ビットの信号の途中でラッチする必要がある。このため、シリアル-パラレル変換器155～158では、マージン確保のため、クロックと逆位相で処理するため、該クロックを入力信号よりも0.5クロック分だけ位相をずらして、この位相調整されたクロックにより各ビットの信号をラッチしている。したがって、このために0.5クロックの遅延が更に生じることとなる。

【0010】

また、スイッチング処理後も平行-シリアル変換処理を行って回線出力とするため、0.5クロック（上記逆相で処理されたデータのマージン確保のため、正相で処理するため。）の遅延が生じる。従って、単位スイッチ149-1～149-4に入力された回線信号が出力回線1～4に出力されるまでに、最低（ n クロック+1クロック）分の遅延時間が発生する。

【0011】

また、同図の構成では、シリアルデータ（シリアル信号）を平行データ（平行信号）に展開した後にスイッチング処理を実施しているため、メモリに書込むビット数（1チャンネルのビット数）や同時にクロスコネクトする回線数により、物理的なメモリの数と信号の切り換えを行うためのセレクタやその他の付随する回路の数が、該ビット数または該回線数の積算した数分必要となっていたため、クロスコネクトスイッチとして構成するハードウェアの規模がかなり大規模な構成になっていた。

【0012】

【発明が解決しようとする課題】

以上述べたように、従来の構成のクロスコネクトスイッチにおいては、シリアル信号をパラレル信号に変換してから交換処理を行っていたので、シリアルーパラレル変換器、及び、パラレルーシリアル変換器にの処理のため、チャネルのビット数に応じた信号伝搬遅延が生じるという問題があった。

【0013】

また、シリアル信号をパラレル信号に変換していたので、物理的なメモリ数とパラレル信号の切り換えを行うセレクタ等の回路数が多くなり、ハードウェアが大規模となっていた。従って、このことが最近の通信容量の増加に伴い、大容量且つ小型のクロスコネクト装置を実現する上で障害となっていた。

【0014】

本発明の課題は、入力回線と出力回線間での信号伝搬遅延が極めて小さく、かつ、小型で大容量のクロスコネクト装置を構築できるクロスコネクトスイッチを提供することである。

【0015】

【課題を解決するための手段】

本発明のクロスコネクトスイッチは、タイムスロット情報が割り付けられたアドレスに、タイムスロットの交換情報を示すデータを記憶する第1のメモリ手段と、入力フレームの各タイムスロットのデータをタイムスロット単位に格納し、該第1のメモリ手段に記憶されているデータを入力し、該データによって指示されるアドレスに格納されているデータを出力フレームのタイムスロットのデータとして出力する第2のメモリ手段と、入力フレームのタイムスロットの入力数を計数し、該計数値を、該第1のメモリ手段及び該第2のメモリ手段に、それぞれ、読み出しアドレス及び書込みアドレスを出力するカウンタ手段とを備えることを特徴とする。

【0016】

本発明によれば、シリアルデータをパラレルデータに変換しないでクロスコネクトすることができるので、ハードウェアの規模を小さく出来ると共に、消費電

力も抑えることが出来る。また、シリアルデータからパラレルデータに変換し、更に、パラレルデータをシリアルデータに再変換するために生じる遅延を除去する事が出来る。従って、クロスコネクタ装置を大容量化する場合にも、装置の規模を小さく抑えることが出来ると共に、消費電力の低減化及びスイッチング処理速度の高速化ができる。

【0017】

【発明の実施の形態】

図1は、本発明の第1の実施形態のクロスコネクタの構成を示すブロック図である。

【0018】

この第1の実施形態では、入力データ D_i がメモリ1の入力ポート側に入力され、メモリ1の出力ポート側から出力されるデータ D_0 が、スイッチング処理後のデータとして出力される。尚、メモリ1は、例えば、デュアルポートメモリである。

【0019】

ここで、図1中のカウンタ3に入力するクロックaとして、入力回線のフレーム信号のタイムスロットと同期したクロックを用い、カウンタ3のロード信号としてフレーム同期信号（ $-0.5CK$ ：入力フレーム信号の先頭に対し位相が 0.5 （半周期）クロック進んだフレーム同期用のパルス信号）bを用いる。

【0020】

また、カウンタ3の出力をメモリ1及びメモリ2のアドレス入力端子に入力させて、これをメモリ1の入力データ及びメモリ2の出力データのタイムスロット情報として用いる。

【0021】

つまり、メモリ1にはフレーム同期信号（ $-0.5CK$ ）bによるフレーム同期と合致したタイムスロットに、チャンネル1のデータが書込まれ、メモリ2からはそのタイムスロットの制御情報として、そのタイムスロットにスイッチングするチャンネルの番号が読み出される。（例えば、予めメモリ2のアドレス0001番地にチャンネル番号100を示す“0100”のデータをプロセッサ（不図示）

が書込んでおいた場合、カウンタ3からメモリ2に0004番地のアドレスが入力されると、メモリ2から“0100”のデータが読み出されて、これがメモリ1に読み出しアドレス信号として与えられる。ここで、不図示のプロセッサは、クロスコネクタ装置の方路設定制御等を行う一般的なプロセッサである。)

本実施形態により、各タイムスロットのチャンネルデータをスイッチングする場合には、プロセッサによりスイッチングしたいタイムスロットの番号(タイムスロット情報)を示すメモリ2のアドレスに、該タイムスロットにスイッチングしたいチャンネルデータ番号(チャンネル番号)をデータとして書込むことにより、各チャンネル間のデータをスイッチング(タイムスロット変換)することが可能となる。

【0022】

図2は、メモリ2の記憶内容の一例を示した図である。

メモリ2には、出力フレームのどのタイムスロットに、入力フレームのどのチャンネルのデータを挿入するかを示す情報が登録される。該登録情報は、前記不図示のプロセッサによってチャンネルデータのスイッチングの仕方が変わる度に書き換えられる。メモリ2の各アドレスは、メモリ1に書込まれた入力フレームの各タイムスロットのデータに関する情報、すなわち、該各タイムスロットのデータのタイムスロット位置情報(タイムスロット番号)に対応している。メモリ2の各アドレスには、各アドレスと同一値(同一タイムスロット番号)のタイムスロットに挿入されるチャンネルデータを示すチャンネルデータ情報が書込まれる。例えば、メモリ2のアドレス“0001”に書込まれるチャンネルデータは、“0001”であり、番号“0001”のタイムスロットにおいてはチャンネルデータの入れ換えが行われないことを示している。また、メモリ2のアドレス“0004”には、“0100”のチャンネルデータが書込まれており、入力フレームのチャンネル100のデータを出力フレームの番号“0004”のタイムスロットに挿入すべきことが示されている。同様に、メモリ2のアドレス“0100”には、“0004”のチャンネルデータが書込まれており、入力フレームのチャンネル4のデータを出力フレームの番号“0100”のタイムスロットに挿入すべきことが示されている。

【0023】

このように、メモリ2には、出力データ D_0 上のフレームの各タイムスロットに挿入すべきチャネルデータを示す情報が書込まれている。従って、メモリ2に格納されているデータを、メモリ1に、その読み出しアドレス信号として入力させることにより、入力フレームと出力フレームの各チャネル（タイムスロット）間でデータをスイッチングすることが可能となる。

【0024】

図3は、図1に示す第1の実施形態のクロスコネクトスイッチの動作を説明するためのタイミングチャートである。

以下、図1乃至図3を参照しながら、図1に示すクロスコネクトスイッチの動作を説明する。

【0025】

図3(a)に示すフレーム同期信号（ $-0.5CK$ ）bは、カウンタ3のロード端子（LOD）に入力され、その後の同図(c)に示すクロックaのパルスの立ち上がりで、カウンタ3に、初期値“0001”をロードさせる（フレーム同期）。カウンタ3は、同図(b)に示す入力データ D_i 上の各フレームの各タイムスロットと同期しているクロックaの入力を受けて、該クロックaの入力パルス数をカウントする。クロックaは、入力データ D_i 上のフレームの1タイムスロットに対し、1パルスを発生するので、カウンタ3は、該フレーム同期後のクロックaの入力パルス数をカウントすることによって、メモリ1に新たなフレームが入力される毎に、毎回、タイムスロットの番号を“0001”から順次計数していくことになる。カウンタ3による計数値は、図1のメモリ1とメモリ2にアドレス信号として入力される。すなわち、メモリ1には、入力データ D_i 上のフレームの各チャネル（タイムスロット）の番号を表し、且つ、該各チャネル（タイムスロット）のデータを記憶すべきアドレスとして与えられ、メモリ2には、出力データ D_0 上のフレームのタイムスロット番号（タイムスロット情報）として与えられる。

【0026】

プロセッサにより、メモリ2の各アドレスには、図2に示されるようなチャネ

ルデータ情報が書込まれている。従って、カウンタ 3 から、その計数値がメモリ 2 に読み出しアドレス信号として入力されると、メモリ 2 は、該計数値に等しいアドレスに記憶されているチャンネルデータ情報（チャンネル番号）をメモリ 1 に読み出しアドレス信号として出力する。メモリ 2 から該読み出しアドレス信号が入力されると、メモリ 1 は、このアドレスに記憶されている入力フレームのチャンネルデータを出力する。上述した動作により、メモリ 1 に記憶されている入力データ D_i 上のフレームの各チャンネルデータのタイムスロット番号とその記憶アドレスは同じになっており、メモリ 2 から出力されるチャンネルデータ情報は、読み出すべき入力フレームのチャンネルデータのタイムスロットの番号であるとともに、該読み出すべき入力フレームのチャンネルデータの記憶アドレスともなっている。従って、カウンタ 3 から、その計数値をアドレス信号として、メモリ 1 及びメモリ 2 に入力させることにより、最終的に、メモリ 1 から出力データ D_0 上のフレーム（出力フレーム）の各タイムスロットのチャンネルデータが該出力フレームのタイムスロットの番号順に、順次、出力される。そして、図 2 で、* 1、* 2 で示すように、メモリ 2 のアドレス“0004”番地と“0100”番地にスイッチングしたいチャンネルデータの番号を書込んでおくことにより、入力データ D_i 上のフレーム（入力フレーム）と出力データ D_0 上のフレーム（出力フレーム）において、“0100”番と“0004”番のチャンネルデータがスイッチングされる。

【0027】

図 4 は、図 1 の回路構成を有する、1 チャンネルが n ビット単位で多重化されたフレームのチャンネルデータを交換接続する本発明の第 2 の実施形態におけるメモリ 2（以下、メモリ 2 a と記述）のデータ構成の他の例を示す図である。

【0028】

前述した従来例のように、1 チャンネルが n ビット単位で多重化された多重信号の場合には、図 4 に示すようにメモリ 2 a のアドレスを n ビット単位で、すなわち、チャンネル単位で、チャンネル 1 からシリアルにマッピングすることにより、前述した従来のクロスコネクトスイッチで必要であったシリアルーパラレル変換器及びパラレルーシリアル変換器が不要となり、またメモリや付随する回路も最小

限の数に抑えることができる。同図に示すメモリ2aにおいては、カウンタ3から連続して入力されるn個のアドレスを1つのチャンネルのnビット（n個のタイムスロット番号）に対応させている。また、このアドレス配置に対応させて、メモリ2a内には、出力データ D_0 上のフレームの各チャンネルのnビットのタイムスロットに挿入すべき入力フレームのチャンネルのnビットのタイムスロットのデータを示すnビットのタイムスロットデータも連続するn個のアドレスに格納させている。この第2の実施形態において、クロスコネクトをする場合には、メモリ2aに格納されているデータを用いて入力データ D_i 上のフレーム（入力フレーム）のある1つのチャンネルに属する全てのタイムスロットのデータを、出力データ D_0 上のフレーム（出力フレーム）の交換する他のチャンネルに属する全てのタイムスロットに挿入するようにする。

【0029】

メモリ2aを用いて、チャンネル番号4とチャンネル番号100のチャンネルデータをスイッチングする場合の動作を、図1～3により説明する。

図1では、先ずプロセッサによりメモリ2aに、図4に示す形式で、チャンネルデータのスイッチング用のデータ（タイムスロットデータ）が記録される。フレーム同期信号（ -0.5CK ）b入力後のクロックaのパルスの立ち上がりで、初期値“0001”をロードして、クロックaの入力パルス数のカウントを開始するカウンタ3のカウント値に基づいてメモリ1に入力フレームの各チャンネルのデータが書込まれていく。図4には示されていないが、チャンネル4とチャンネル100とをスイッチングする場合には、メモリ2a内には、入力フレーム（出力フレーム）のチャンネル4（4番目のチャンネル）のnビットの各データのタイムスロット番号に等しいアドレスに、それぞれ入力フレームのチャンネル100のnビットの各データのタイムスロット番号が登録されている。このチャンネル100のnビットの各データのタイムスロット番号が、メモリ1に現在の入力フレームのチャンネル4のn個のタイムスロットの各データ（nビットの各データ）が入力されている最中に、メモリ2からメモリ1に対して、データの読み出しアドレスとして与えられ、現在の出力フレームのチャンネル4のn個の各タイムスロットの時間位置で、メモリ2から一つ前の入力フレームのチャンネル100のnビットの各デ

ータが出力されることとなる。

【0030】

図5は、本発明の第3の実施形態のクロスコネクトスイッチの構成を示すブロック図である。

例えば、図5に示すように8回線の回線間のスイッチングを実施する場合、同図において、破線で囲まれた単位スイッチ部10-1に示されているように、1回線につきメモリ11、メモリ12、8-1セレクタ14のみで構成できるため、クロスコネクトスイッチ全体を、1個のカウンタ13と、24個の部品（3部品×8回線）のみで構成することが出来る。

【0031】

スイッチング処理の遅延についても、最近ではメモリのアクセスタイムが1ナノ秒～2ナノ秒の高速メモリが製品化されており、回線周波数によっては本実施形態の構成による遅延が無視できるレベルとなる。

【0032】

また、回線周波数が高く遅延が問題になる場合には、後述する第4及び5の実施形態の構成を取ることで、信号伝搬遅延時間が最小限に抑えられ、かなり高速な通信回線でもチャンネル間及び回線間の時空間的なスイッチング処理を高速に実現することができる。

【0033】

図5では、8回線間でスイッチング処理が可能となる構成を示している。図5では、メモリ2に設定する情報に回線情報を追加して、これを8-1セレクタ14のセレクト信号として用いることにより、8-1セレクタ14を用いて入力回線1～入力回線8のデータの中から任意の回線のデータを出力回線1～8に選択出力することができる。

【0034】

図6は、上記交換接続を実施するための単位スイッチ10-1内のメモリ12のデータ構成を示す図である。

同図に示されているように、出力回線1の番号0003のタイムスロットに入力回線4の番号0050のタイムスロットのチャンネルデータをスイッチングする

場合には、メモリ12のアドレス0003番地に、図6の*3に示すように“0050”のチャンネルデータ情報と“03”の回線情報の設定を行い、出力回線1の番号0099のタイムスロットに入力回線8の番号0100のタイムスロットのチャンネルデータをスイッチングする場合には、メモリ12のアドレス0099番地に図6の*4に示すように“0100”のチャンネルデータ情報と“07”の回線情報の設定を行う。

【0035】

図5では、破線で囲まれた1つの単位スイッチ10が8回線を収容するように構成されるとともに、これら単位スイッチ10が8個集まってクロスコネクトスイッチの要部を構成している。入力回線1～8からの入力データは、各単位スイッチ10-1～10-8のメモリ11に入力され、前記フレーム同期信号bと同様に、入力フレームの先頭に対し位相が0.5クロック進んだフレーム同期信号b1がカウンタ13に入力され、またクロックa1もカウンタ13に入力されており、前記カウンタ3と同様にして、フレーム同期信号b1が入力後のクロックa1のパルスの立ち上がりで、カウンタ13は、クロックa1の入力パルスの計数を開始する。クロックa1は入力データの各タイムスロットに同期しており、1タイムスロットが入力される毎に1パルスを発生するので、フレーム同期信号b1の入力後の、クロックa1の入力パルス数をカウンタ13により計数することによって、入力フレームのタイムスロットの番号（番地）をカウンタ13の計数値により特定することが出来る。この計数値は、入力フレームの各タイムスロットのチャンネルデータの格納アドレスとしてメモリ11に入力される。更に、この計数値は、メモリ12に読み出しアドレスとして入力される。図6に示すように、メモリ12には、プロセッサにより書込まれた、チャンネルデータ情報と回線情報からなるチャンネルデータの交換接続用のデータが、該交換接続されるべきタイムスロットの位置情報を示すタイムスロット情報の値と等しいアドレスに記憶されており、メモリ12に、カウンタ13から出力される計数値（出力フレームのタイムスロット番号情報）を読み出しアドレスとして出力することにより、出力フレームの該タイムスロット番号のタイムスロットに挿入すべき入力フレームのチャンネルデータのチャンネルデータ情報及び回線情報が読み出され、それぞれ、

メモリ11のアドレス入力端子及び8-1セクタ14のセレクト端子(SEL)に入力される。メモリ12から出力されたチャネルデータ情報は、メモリ11に、読み出しアドレスとして入力される。メモリ11には、入力データ(入力回線1~8から入力される各入力フレーム)の各タイムスロットのデータが入力順に記憶されているので、上記チャネルデータ情報は、入力データのタイムスロット番号を示すことになる。従って、上記チャネルデータ情報が読み出しアドレスとして入力されることにより、メモリ11は自身に記憶されている入力回線1~8から入力される各入力フレームの各チャネルデータの内、該読み出しアドレスに記憶されている8ビットのタイムスロットのデータ(8ビットの入力回線1~8の各チャネルデータ)を出力ポート00~08に出力する。この8ビットのタイムスロットデータは、8-1セクタ14のデータ入力端子A0~A8に入力される。上述したように、8-1セクタ14には、メモリ12からセクタ信号SELとして回線情報が入力されており、この回線情報の値に従って、入力端子A0~A7に入力されているいずれかのデータを選択出力する。例えば、図6のメモリ12のアドレス0003番地から回線情報が読み出された場合には、該回線情報の値は“03”に設定されているので、8-1セクタ14は、入力端子A3に入力された入力回線4のタイムスロットデータ(チャネルデータ)を出力端子Yに出力する。

【0036】

図7は、図5の第3の実施形態におけるスイッチング動作を説明する図である。

メモリ11には、入力回線1~8の各タイムスロットデータ(チャネルデータ)が時系列に入力され、それらが、タイムスロット番号0001から順にタイムスロット毎に記憶されていく。すなわち、入力回線1~8から各フレームのタイムスロットデータが入力される毎に、タイムスロット番号0001のタイムスロットデータから順に、アドレス0001番地からシリアルに書込まれ、次のフレームデータが入力されると、前のフレームのタイムスロットデータは上書きされていく。従って、メモリ12内にはまだ上書きされていない1つ前に書込まれたフレームのタイムスロットデータと今書き込まれている現在のフレームのタイム

スロットデータとがメモリ 11 内に共存する場合がある。図 7 は、その場合のようなメモリ 11 のフレームデータの格納状態を示している。上述したように、フレームの各タイムスロットデータはメモリ 11 のアドレス 0001 番地からタイムスロット番号順にシリアルに書込まれるので、タイムスロット番号の小さい方が現在書き込まれているフレームのタイムスロットデータで有り、タイムスロット番号の大きいほうが 1 つ前に書き込まれたフレームのタイムスロットデータである。メモリ 11 に格納されたタイムスロットデータの読み出しは、スイッチング処理が行われない場合には、タイムスロット番号（チャンネル番号）の小さい方から順次行われる。同図では、出力フレームデータ（出力回線データ）のチャンネル 5（タイムスロット番号 5）のタイムスロットデータまでを出力した状態を示している。

【0037】

この場合、出力フレームのチャンネル（タイムスロット番号）4 のタイムスロットに入力フレームのチャンネル 100 のデータを挿入するスイッチング処理を実施する旨の情報が図 6 のメモリ 12 のアドレス 0004 番地に登録されているので、メモリ 11 に格納されている 1 つ前のフレームのチャンネル 100 のデータ（タイムスロット番号 100 のタイムスロットデータ）をメモリ 11 から読み出して、このデータを、出力回線 1 上に出力フレームのタイムスロット 4 のデータが出力されるタイミングで 8-1 セレクタ 14 から出力する。また、メモリ 11 及びメモリ 12 は高速にアクセス可能なため、出力回線 1 上に各タイムスロットのデータを出力処理するタイミングは、メモリ 11 に 1 つのタイムスロットのデータが読み込まれるタイミングにほぼ同期しており、スイッチング処理が行われない場合、あるタイムスロットデータが読み込まれると、そのタイムスロットデータは、直ちに 8-1 セレクタ 14 を介して出力回線 1 に出力される。また、メモリ 11 は、1 つのフレームのタイムスロットデータ全てを記憶できる容量を有しており、タイムスロット番号の大きいタイムスロットデータとタイムスロット番号の小さいタイムスロットのデータをスイッチングする場合には、同じタイムスロットと 1 つ前のフレームのタイムスロットのデータをそれぞれ読み出して、出力フレームの該番号のタイムスロットのタイミングで出力回線 1 上に出力するよう

にする。すなわち、スイッチング処理が行われない場合は、メモリ 11 に入力されたタイムスロットのデータは、直ちに 8-1 セレクタ 14 に出力処理されるが、出力フレームのあるタイムスロットに、そのタイムスロット番号より小さいタイムスロット番号の入力フレームのタイムスロットデータを挿入するスイッチング処理をする場合には、既にメモリ 11 に新たなフレームの該番号の小さい方のタイムスロットデータが書込まれているので、そのタイムスロットデータをメモリ 11 から読み出して、該出力フレームのタイムスロットに挿入するようにする。一方、今出力フレームのデータとして出力処理しようとしているタイムスロットよりタイムスロット番号が大きい番号の入力フレームのタイムスロットのデータを、該出力フレームのタイムスロットに挿入するスイッチング処理を行う場合には、現在出力処理しているフレームの該タイムスロット番号が大きいタイムスロットのデータはまだメモリ 11 に書き込まれていないので、メモリ 11 に現在、格納されている 1 つ前のフレームの同一タイムスロット番号のタイムスロットデータをメモリ 11 から読み出してスイッチングすることになる。

図 8 は、入力データ（入力フレーム）と出力データ（出力フレーム）間の遅延を限りなく 0 に近づけるように構成した本発明の第 4 の実施形態のクロスコネクタの構成を示すブロック図である。

【0038】

スイッチング処理の方法は、基本的には、図 1、図 5 と同様の方法を用いているが、新たに、FF 25、セレクタ 26、及び位相調整部 27 を設け、更にカウンタ 24 に入力されるフレーム同期信号 b 3 を、カウンタ 23 に入力されるフレーム同期信号 b 2 よりもクロック a 2 の 1 クロック分早い信号とすることにより、メモリ 22 に入力される読み出しアドレスが、メモリ 21 に入力されるアドレスよりも 1 番地先になるようにしている。

【0039】

すなわち、入力フレームのタイムスロット番号 1 のタイムスロットデータの処理を実施（メモリ 21 の該タイムスロットデータの書込み処理）している時には、メモリ 22 からはアドレス 0002 番地からチャネルデータ情報及び切替情報を読み出し、メモリ 21 から該チャネルデータ情報が示すアドレスに格納されて

いるタイムスロットのデータを読み出す。そして、メモリ 21 から読み出されたタイムスロットデータを FF 25 への入力信号とする。本構成では、スイッチングしないタイムスロットデータは直接セクタ 26 に入力され、セクタ 26 から出力される。メモリ 21 から FF 25 に出力されるデータは、上述したように、メモリ 22 から入力されるチャネルデータ情報の示すアドレスに格納されているタイムスロットデータである。

【0040】

図 9 に示すように、メモリ 22 に格納されるチャネルデータ情報は、前述した、第 1 の実施形態のメモリ 2 と同様な方式で格納される。よって、FF 25 の一方のデータ入力端子 D0 に入力されるメモリ 21 に格納されているタイムスロットのデータ（チャネルデータ）は、スイッチングされるべきタイムスロットのデータの場合と、スイッチングされる必要のないタイムスロットのデータの場合がある。後述するように、本実施形態においては、セクタ 26 のデータ入力端子 A に入力フレームのタイムスロットのデータが入力される前に、メモリ 21 の前記チャネルデータ情報の示すアドレスに格納されているタイムスロットのデータが、FF 25 を介してセクタ 26 の他方のデータ入力端子 B に入力される。この入力端子 B に入力されるデータは、入力端子 A に入力されるタイムスロットのデータとスイッチングすべきタイムスロットのデータか、または、スイッチングする必要のない入力端子 A に入力されるタイムスロットのデータと同一タイムスロットの 1 つ前の入力フレームのデータのいずれかである。そして、セクタ 26 の入力端子 A に入力されるタイムスロットのデータは、その時点では、メモリ 21 に入力されているが、まだ、書込まれてはいない。

【0041】

また、メモリ 22 の各アドレスには、チャネルデータ情報と共に切替情報も格納される。この切替情報は、“0”または“1”の 2 値データであり、1 ビットで構成可能である。図 9 において、それぞれ、*1、*2 で示された、メモリ 22 のアドレス 0004 番地と 0100 番地に格納されている切替情報は、“1”であり、これらのアドレスにおいては、該アドレスとは値が異なるチャネルデータ情報が格納されている。一方、切替情報が“0”のアドレスにおいては、該ア

ドレスと同一の値のチャネルデータ情報が格納されている。すなわち、前述した第1の実施形態の説明から容易に知れるように、切替情報は、タイムスロットのデータのスイッチングの有無を示す情報であり、“1”に設定されている場合、その格納アドレスに設定されているチャネルデータ情報は、スイッチングされるべき入力フレームのタイムスロットの番号を示し、該格納アドレスは、そのタイムスロットのデータが挿入されるべき出力フレームのタイムスロット番号を示す。一方、“0”の切替情報は、同一格納アドレスのチャネルデータ情報と同一の値のタイムスロット番号を有する入力フレームのタイムスロットのデータをスイッチングする必要がないことを示す。

【0042】

この切替情報は、FF 25の他方のデータ入力端子D1に入力され、後述する位相調整部27から出力されるクロック Δt の立ち上がりに同期して、セクタ26のセレクト信号入力端子SELに入力される。セクタ26は、セレクト信号入力端子SELに“1”が入力されたとき、入力端子Bに入力されたメモリ21から読み出されたタイムスロットのデータを選択出力する。また、セクタ26は、セレクト信号入力端子SELに“0”が入力されたとき、入力端子Aに入力されているデータを出力する。

【0043】

以上のような動作により、切替情報は、セクタ26のセレクト信号として機能する。

上述したように、メモリ22には、メモリ21よりも1番地先のアドレスが入力されるため、メモリ22から読み出されてメモリ21に読み出しアドレスとして入力されるチャネルデータ情報は、これからセクタ26のデータ入力端子Aに入力されるタイムスロットのデータと同一位置のタイムスロットのタイムスロット番号または該入力タイムスロットデータとスイッチングされるべきタイムスロットデータのタイムスロット番号であり、メモリ21に該チャネルデータ情報が読み出しアドレスとして入力されることにより、FF（フリップフロップ）25の一方のデータ入力端子D0には、これからセクタ26のデータ入力端子Aに入力されるタイムスロットデータとスイッチングされるべきタイムスロットの

データをメモリ 21 から予め、先に、読み出して入力させることができる。すなわち、図 9 のメモリ 22 のアドレス 0004 番地のように、切替情報が“1”のアドレスには、そのアドレスとは異なる値のチャンネルデータ情報が記憶されており、このチャンネルデータ情報により、メモリ 21 から、セクタ 26 により、これからスイッチングされるべきタイムスロットデータを読み出して、このデータを FF 25 のデータ入力端子 D0 に入力させることができる。このように、予め、メモリ 21 からクロスコネクト（スイッチング）すべきタイムスロットデータを読み出し、これを、FF 25 のデータ入力端子 D0 に入力させる。このような構成において、FF 25 及びセクタ 26 の動作によるスイッチング処理の遅延を吸収し、セクタ 26 の入力端子 A に入力フレームのタイムスロットデータが FF 25 からセクタ 26 の入力端子 B に入力するデータとを、即時に、選択出力できるようにさせるために、位相調整部 27 を設けている。

【0044】

位相調整部 27 は、位相調整されたクロック Δt を FF 25 のクロック入力端子 (CLK) に出力する。

ここで、クロック Δt は、FF 25 及びセクタ 26 によるスイッチング処理の遅延時間 (Δt) を考慮して生成するクロックであり、クロック a2 を、位相調整部 27 により Δt だけ位相調整することにより生成される。そして、このクロック Δt を FF 25 にクロック信号として入力させることで、上記遅延時間 Δt の吸収を行っている。この遅延時間 Δt は、例えば、FF 25 とセクタ 26 に関するマニュアルシートに記載された典型的な値を使用して、見積り値を算出することによって設定する。または、実際に、上記遅延時間 Δt を計測器を用いて、実際に測定して、その測定結果を基に設定しても良い。

【0045】

第 4 の実施形態においては、上記のような構成としたため、セクタ 26 に使用する素子として超高速なセレクト処理が可能な素子を用いることにより、入力データ（入力フレーム）と出力データ（出力フレーム）間の伝搬遅延を限りなく 0 に近づけることが可能となる。

【0046】

図10は、上記構成の第4の実施形態の動作を説明するためのタイムチャートである。

以下、図8～図10を参照して、第4の実施形態の全体的な動作を説明する。

【0047】

図10(a)に示す入力データ(入力フレーム)は、直接セクタ26の入力端子Aに入力され、クロスコネクが行われないタイムスロットのデータの場合には、そのままセクタ26から出力される。また、入力データは同時にメモリ21にも入力データとして送られる。メモリ21には、各入力フレームの先頭に対し、0.5クロック位相が進んだフレーム同期信号(-0.5CK) b2の入力によって、クロックa2の入力パルスの計数を開始するカウンタ23の計数値が、該入力フレームの各タイムスロットの書き込みアドレスとして入力される。メモリ21は、前述の実施形態と同様に、該入力フレームの各タイムスロットのデータを前記計数値に等しいアドレスに書込む。

【0048】

また、上記フレーム同期信号(-0.5CK) b2よりも位相が1クロック進んだ図10(b)に示すフレーム同期信号(-1.5CK) b3がカウンタ24に入力される。カウンタ24は、フレーム同期信号(-1.5CK) b3の入力により初期値“0001”をロードし、クロックa2の入力パルスの計数を開始する。カウンタ24により計数された計数値は、メモリ22に読み出しアドレスとして与えられ、メモリ22は該読み出しアドレスからチャネルデータ情報と切替情報を出力し、これらの情報は、それぞれ、メモリ21及びFF25の入力端子D1に入力される。メモリ21は、メモリ22からチャネルデータ情報の値を読み出し、アドレスとして入力すると、そのアドレスに格納されている入力データ(入力フレーム)のタイムスロットのデータをFF25の入力端子D0に出力する。このときメモリ21から出力されるタイムスロットのデータは、セクタ26が現在出力処理しようとしているタイムスロットの次のタイムスロットに係するタイムスロットデータである。FF25の入力端子D1に入力された切替情報は、図10(e)に示すクロック- Δt の立ち上がりパルスの入力によりセクタ26のセクタ信号入力端子SELへ出力する。

【0049】

FF25にクロック信号として入力されるクロック Δt は、位相調整部27によって生成されたクロックであり、クロックa2よりも Δt だけ位相が進んだクロックである。この Δt は、上述したように、FF25の処理遅延とセクタ26の処理遅延の合計時間である。FF25は、入力されたクロック Δt のパルスの立ち上がりで、メモリ22から入力された切替情報、及びメモリ21から送られてきたタイムスロットのデータを、それぞれ、セクタ26のセレクト信号入力端子SEL及びデータ入力端子Bに出力する。セクタ26は、FF25から入力されるセレクト信号SELが“1”の場合は、データ入力端子Bに入力されるメモリ21から読み出されたタイムスロットのデータを出力し、セレクト信号SELが“0”の場合には、データ入力端子Aに入力される入力フレームのタイムスロットのデータを出力する。上記セレクト信号SELはメモリ22に格納されている切替情報であるので、切替情報が“1”の場合のときのみ、セクタ26は、メモリ21から読み出されたタイムスロットのデータを選択出力する。切替情報が“0”の場合には、セクタ26は、入力データすなわち、現在の入力フレームのタイムスロットのデータを選択出力する。

【0050】

セクタ26には、上記遅延時間 Δt を考慮したタイミングでセレクト信号SELがFF25から入力されるので、セクタ26は、入力端子Aに入力される入力データ（入力フレーム）のタイムスロットのデータと、入力端子Bに入力されるメモリ21から読み出されたタイムスロットのデータを、上記入力フレームのタイムスロットのデータが、入力端子Aに入力されるタイミングとほぼ同時に、選択出力することができ、このことにより、入力フレームと出力フレームの伝搬遅延をほぼ0にすることができる。

【0051】

このように、入力データ（入力フレーム）の各タイムスロットのデータがセクタ26の入力端子Aに入力されるタイミングに合わせて、クロスコネクト処理（タイムスロットのデータのスイッチング処理）を、ほぼ0の伝搬遅延で行うことが出来る（図10（c）、（f）参照）。

【0052】

図11は、入力データ及び出力データを8回線としてそれぞれの入出力回線間での時空間的なスイッチング処理を可能とした、上記第4の実施形態を拡張した本発明の第5の実施形態のクロスコネクットの構成を示すブロック図である。

【0053】

図11の構成でスイッチング処理を実現した場合、メモリ31、メモリ32、8-1セレクタ36、FF37、セレクタ38の各構成要素がそれぞれ回線分必要となるため、総必要量は上記5構成要素×8回線分と、それぞれ1個のカウンタ34、35及び位相調整部35となりハードウェア規模を大幅に縮小することができる。

【0054】

入力回線は、本実施形態の場合、回線1～回線8までであるので、単位スイッチ(図11において破線で囲まれた部分)30を8つ配設して1つのクロスコネクトスイッチを構成する。単位スイッチ30では、入力回線1～8からの入力データ(入力フレーム)をメモリ31に記憶する。メモリ31の入力フレームの各タイムスロットのデータ記憶アドレスには、入力フレームの先頭に対し、0.5クロック位相が進んだフレーム同期信号(-0.5CK)b4とクロックa3によって初期化されるカウンタ33によって計数された値を使用する。また、上記第4の実施形態の場合と同様に、カウンタ34には、上記フレーム同期信号(-0.5CK)b4よりも1タイムスロット分(1クロック)位相が進んだフレーム同期信号(-1.5CK)b5が入力され、1タイムスロット分早くメモリ32にデータの読み出しをかける。プロセッサ(不図示)により、メモリ32に書込まれるメモリ32のデータの例が図12に示されている。図12の例では、*1と*2で示されるアドレスのデータが、回線番号が同じ入出力回線間でチャンネルの入れ換えを行うべき情報を示しており、*3と*4で示されるアドレスのデータが、回線番号が異なる入出力回線間でチャンネルの入れ換えを行うべき情報を示している。カウンタ34の計数値(タイムスロット情報)によりメモリ32から読み出された、チャンネルデータ情報はメモリ31に送られ、同じくメモリ32から読み出された回線情報及び切替情報は、それぞれ、8-1セレクタ36及びF

FF 37に出力される。そして、該切替情報はFF 37からセクタ38に送られる。

【0055】

メモリ31は、メモリ32から入力されるチャンネルデータ情報の示すアドレスから各タイムスロットのチャンネルデータを出力し、これを8-1セクタ36にデータとして与える。8-1セクタ36は、メモリ32から出力される回線情報をセレクト信号SELとしてし、このセレクト信号SELによりデータ端子A0~A7にされている8つの回線1~8の各フレームのタイムスロットデータの中から1つの回線のフレームのタイムスロットデータを選んで、FF 37の端子D0に出力する。FF 37には、上記第4の実施形態と同様に、位相調整部35で生成されたクロックa3よりもFF 37及びセクタ38の処理遅延時間 Δt だけ位相が進められたクロックa4がされる。FF 37は、クロックa4のパルスの立ち上がりで8-1セクタ36からされるメモリ31から読み出されたタイムスロットのチャンネルデータと、メモリ32からされる切替情報をセクタ38に出力する。

【0056】

FF 37から出力される上記タイムスロットのチャンネルデータはセクタ38のB端子にされる。一方、単位スイッチ30-i ($i=1\sim 8$)において、回線1~8のタイムスロットデータは、直接セクタ38の端子Aにされる。セクタ38は、FF 37からされるメモリ32から読み出された切替情報であるセクタ信号SELによって、端子Aまたは端子Bのいずれか一方にされたタイムスロットデータを出力回線iに送出する出力フレームのタイムスロットデータとして選択出力する。

【0057】

単位スイッチ30-1で、回線1が直接セクタ38の端子Aに接続されているのは、単位スイッチ30-1が出力回線1上にされるフレームのタイムスロットのチャンネルデータをクロスコネクトするスイッチであるためであり、同様に、出力回線2~出力回線8上にされるフレームのタイムスロットのチャンネルデータをクロスコネクトする単位スイッチ30-2~30-8の場合

には、それぞれ入力回線 2～入力回線 8 から入力されるフレームのタイムスロットのチャネルデータが直接セクタ 38 と同様の不図示のセクタ（セクタ 38 とする）に入力される。各单位スイッチ 30-i ($i=1\sim 8$) 内に設けられたセクタ 38 は、入力回線 i から入力されるフレームの各タイムスロットのデータを、そのまま出力するか、または、入力回線 1～8 から入力されるフレームの各タイムスロットのチャネルデータを、時空間的にスイッチングする。尚、異なる回線番号の入出力回線間でのチャネルデータのスイッチングは、8-1 セクタ 36 によって実施される。8-1 セクタ 36 は、このスイッチングを、メモリ 32 から入力される回線情報に従って、前記第 3 の実施形態と同様にして行う。また、本実施形態は、位相調整部 35 及び 8-1 セクタ 36 が設けられているため、前記第 4 の実施形態と同様に、時空間的なスイッチングを限りなく 0 に近い時間で実施可能である。

【0058】

なお、本実施形態では、収容する回線は 8 回線となっているが、単位スイッチ 30 の数を増減するのみで、収容する回線数はフレキシブルに変更できる。

図 13 は、上記構成の第 4 及び第 5 の実施形態の動作を説明する概念図である。

【0059】

同図に示されるように、メモリ 21 あるいは 31 には、入力回線から送られてくるフレームデータが 1 タイムスロット毎に順次記憶されていくが、順次新しいフレームが入力されるに従い、1 つ前のフレームのタイムスロットのデータは、上書きされていく。前述したように、現在、出力フレームとして出力処理されているタイムスロットより番号の小さいタイムスロットの該出力フレームデータは、第 3 の実施形態の場合と同様に、現在、メモリ 21、31 内に記憶されている。よって、メモリ 21、31 から、この番号のより小さいタイムスロットのデータを読み出すことによって、ある番号のタイムスロットに、それよりも番号の小さいタイムスロットの現フレームのデータを挿入することが出来る。一方、ある番号のタイムスロットに、それよりも番号の大きいタイムスロットのデータを挿入しようとする場合には、1 つ前のフレームのタイムスロットデータが使用される

ことになる。メモリ21、31内には、まだ、現在のフレームのそれらのタイムスロットのデータが書込まれておらず、それらのタイムスロットに関しては一つ前のフレームのデータが記憶されているからである。

【0060】

図13では、今、チャンネル4（タイムスロット番号4）のタイムスロットのデータの出力処理をしている場合を示しており、入力フレームと出力フレーム間で、入力フレームのタイムスロット100のデータをタイムスロット4に入れ換える場合には、メモリ21、31から、1つ前のフレームデータのタイムスロット番号が100のタイムスロットデータを読み出すことによって、上記入れ換えが可能となる。

【0061】

【発明の効果】

以上、説明したように、本発明によれば、従来のように、入力フレームの信号を、シリアル信号→パラレル信号（例：オクテット単位）に変換することが不要となるので、ハードウェアの規模を大幅に縮小することができ、かつ従来方式において、上記シリアル信号→パラレル信号の変換処理により発生する信号の伝搬遅延を解消できるので、スイッチング処理を高速化することが可能となる。

【0062】

このため、今後予想される回線の高速化にも対応することができ、またハードウェア規模、部品点数の削減及び信号線の縮小等により、消費電力の低減化や大幅な小型化が可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態のクロスコネクタの構成を示すブロック図である。

【図2】

メモリ2の記憶内容の一例を示した図である。

【図3】

図1に示す第1の実施形態のクロスコネクタスイッチの動作を説明するためのタイミングチャートである。

【図 4】

図 1 の回路構成を有する、1 チャンネルが n ビット単位で多重化されたフレームのチャンネルを交換接続する本発明の第 2 の実施形態におけるメモリ 2 a のデータ構成の例を示す図である。

【図 5】

本発明の第 3 の実施形態のクロスコネクツスイッチの構成を示すブロック図である。

【図 6】

上記交換接続を実施するためのメモリ 1 2 のデータ構成を示す図である。

【図 7】

図 5 の第 3 の実施形態におけるスイッチング動作を説明する図である。

【図 8】

入力データと出力データの遅延を限りなく 0 に近づけるように構成した本発明の第 4 の実施形態のクロスコネクツの構成を示すブロック図である。

【図 9】

メモリ 2 1 に記憶されるデータの例を示す図である。

【図 10】

第 4 の実施形態の動作を説明するためのタイムチャートである。

【図 11】

入力データ及び出力データを 8 回線としてそれぞれの出力回線間での時空間的なスイッチング処理を可能とした、上記第 4 の実施形態を拡張した本発明の第 5 の実施形態のクロスコネクツの構成を示すブロック図である。

【図 12】

メモリ 3 2 に入力されるデータの例を示す図である。

【図 13】

第 4 及び第 5 の実施形態の動作を説明する概念図である。

【図 14】

従来のクロスコネクツ装置において、フレーム信号をチャンネル単位で時間・空間的に交換するスイッチ部分（クロスコネクツスイッチ）の構成を示す図である。

【符号の説明】

1、2、11、12、21、22、31、32 メモリ

3、13、23、24、33、34 カウンタ

14、36 8-1 セレクタ

25、37 FF (フリップフロップ)

26、38 セレクタ

27、35 位相調整部

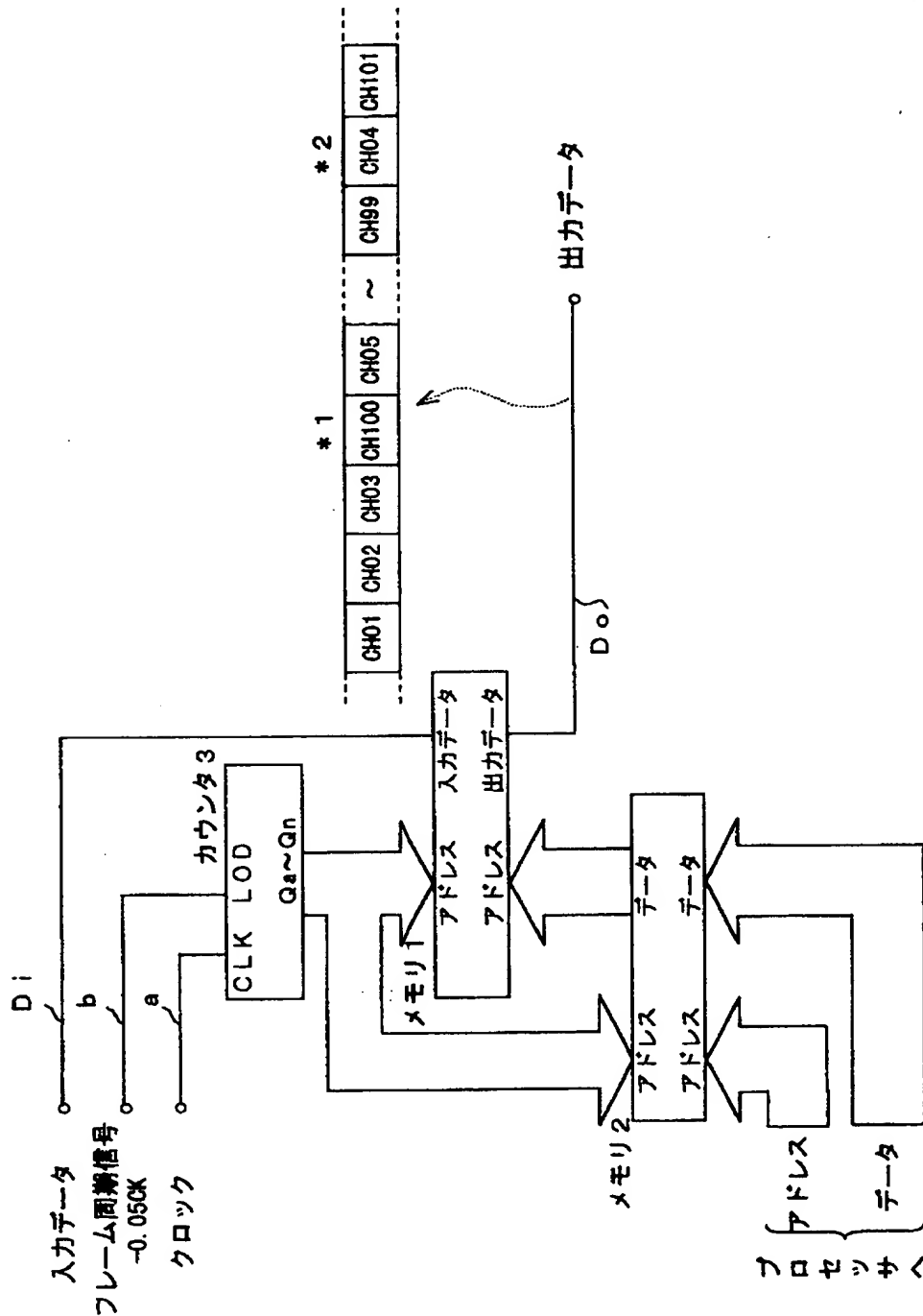
10 (10-1~10-8)、30 (30-1~30-8) 単位スイ

ッチ

【書類名】 図面

【図 1】

本発明の第1の実施形態の
クロスコネクトの構成を示すブロック図



【図2】

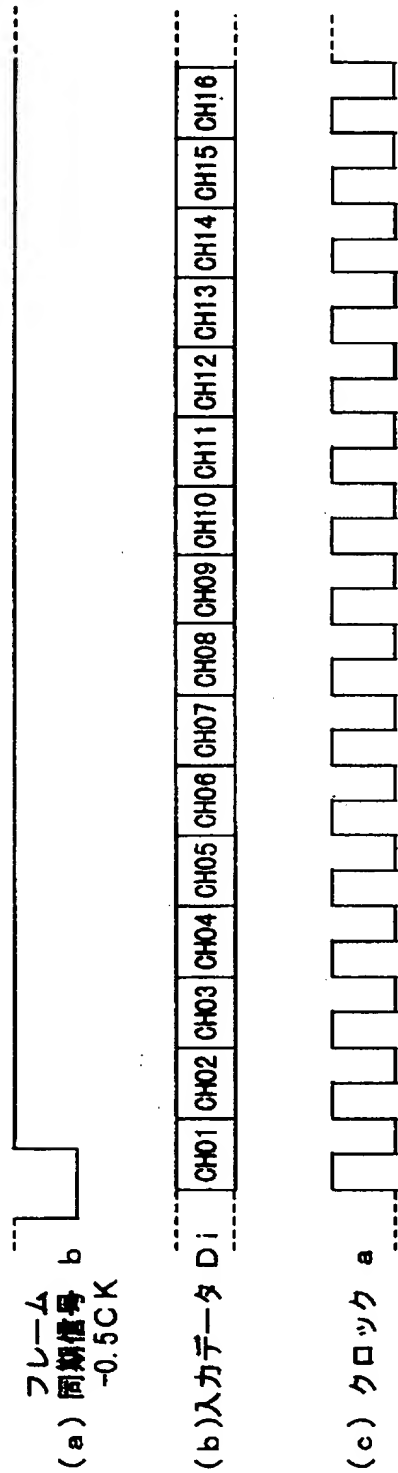
メモリ2の記憶内容の一例を示した図

2
↓

アドレス	データ	
タイムスロット情報	CHデータ情報	
0000	0000	
0001	0001	
0002	0002	
0003	0003	
0004	0100	*1
0005	0005	
}	}	
0099	0099	
0100	0004	*2
0101	0101	

【図 3】

第1の実施形態のクロスコネクタスイッチの
動作を説明するためのタイミングチャート



【図 4】

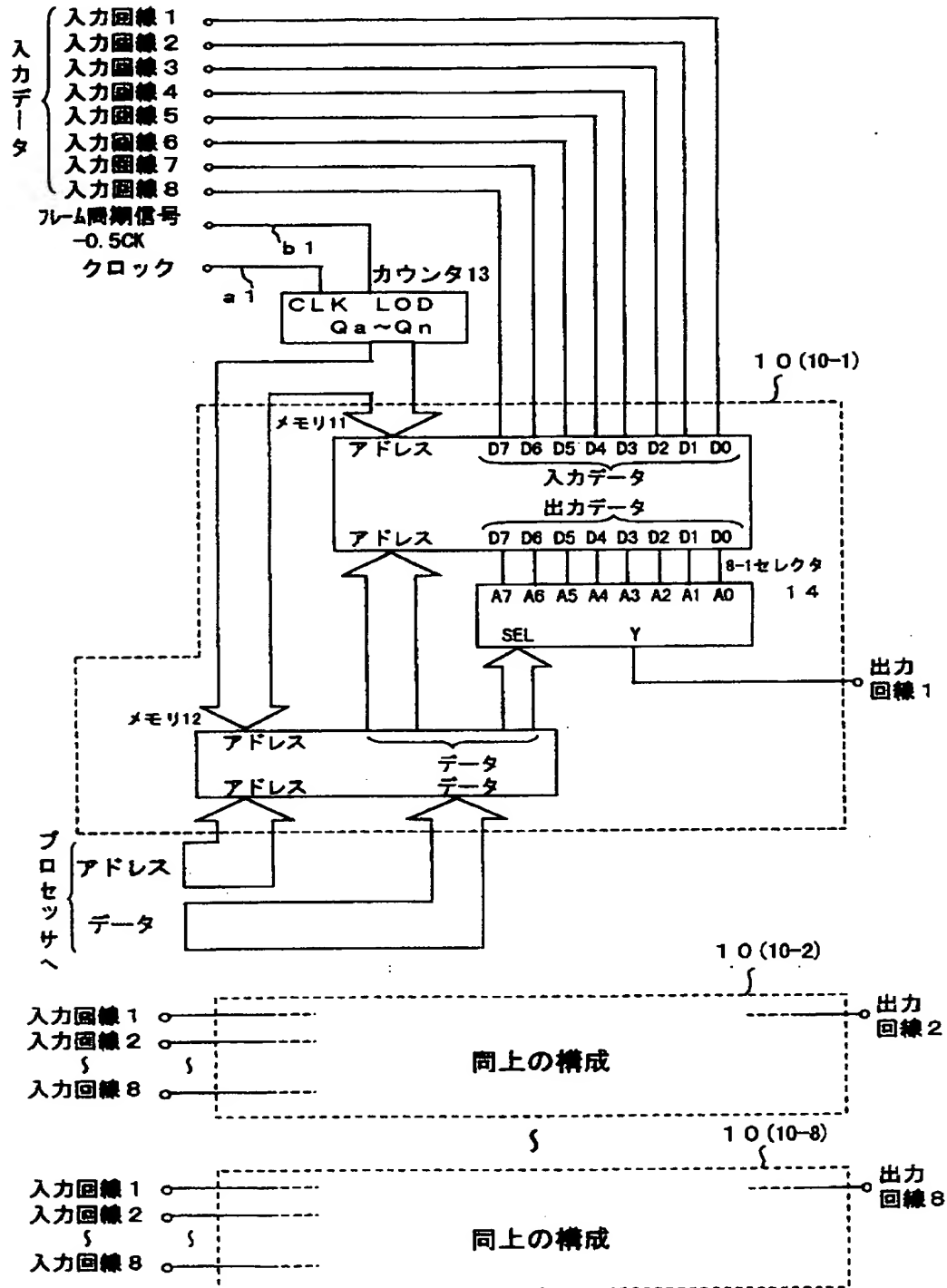
本発明の第2実施形態における
メモリ2aのデータ構成の例を示す図

2a
↓

アドレス		データ
CH番号	タイムスロット番号	タイムスロットデータ
—	0000	0000
01	0001	0001
	0002	0002
	}	}
02	000n	000n
	000n+1	000n+1
	}	}
{	000n+n	000n+n
	}	}
	}	}

【図 5】

本発明の第3の実施形態の
クロスコネクトスイッチの構成を示すブロック図



【図 6】

メモリ 12 のデータ構成を示す図

12
↓

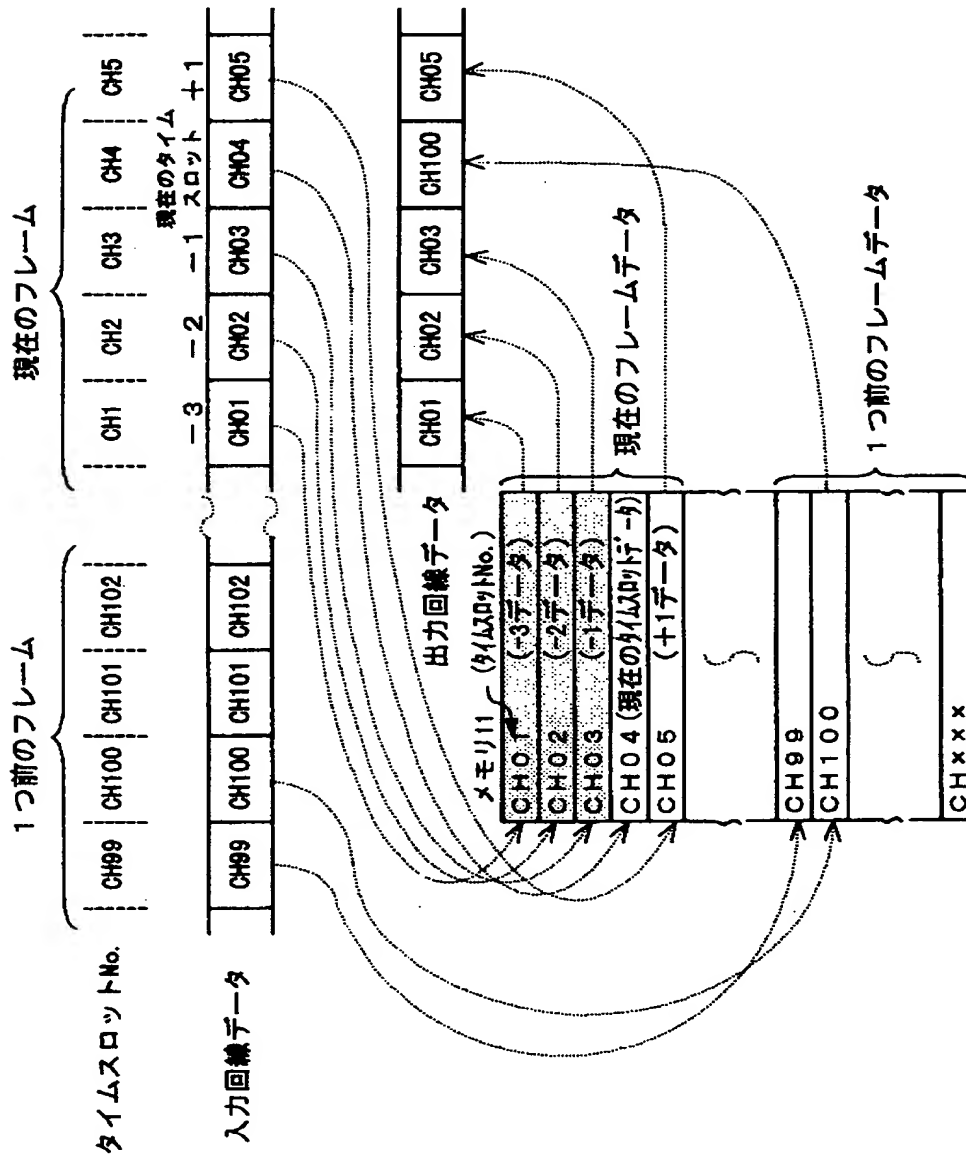
アドレス	データ	
タイムスロット情報	(CHデータ情報)	(回線情報)
0000	0000	00
0001	0001	00
0002	0002	00
0003	0050	03
0004	0100	00
0005	0005	00
}	}	}
0099	0100	07
0100	0004	00
0101	0101	00

* 3

* 4

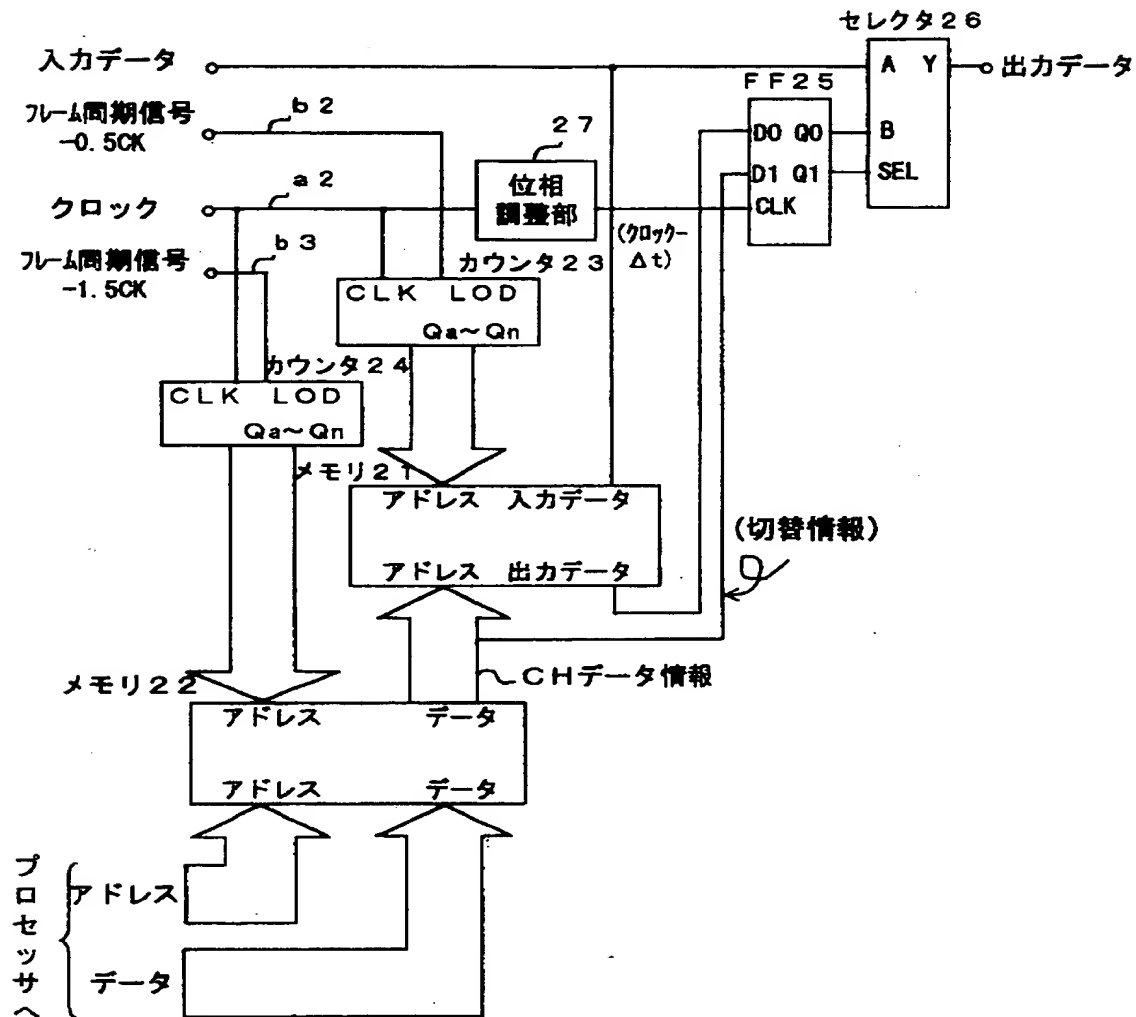
【図7】

第3の実施形態における
スイッチング動作を説明する図



【図8】

本発明の第4の実施形態の
クロスコネクトの構成を示すブロック図



【図 9】

メモリ 21 に記憶される データの例を示す図

22
↓

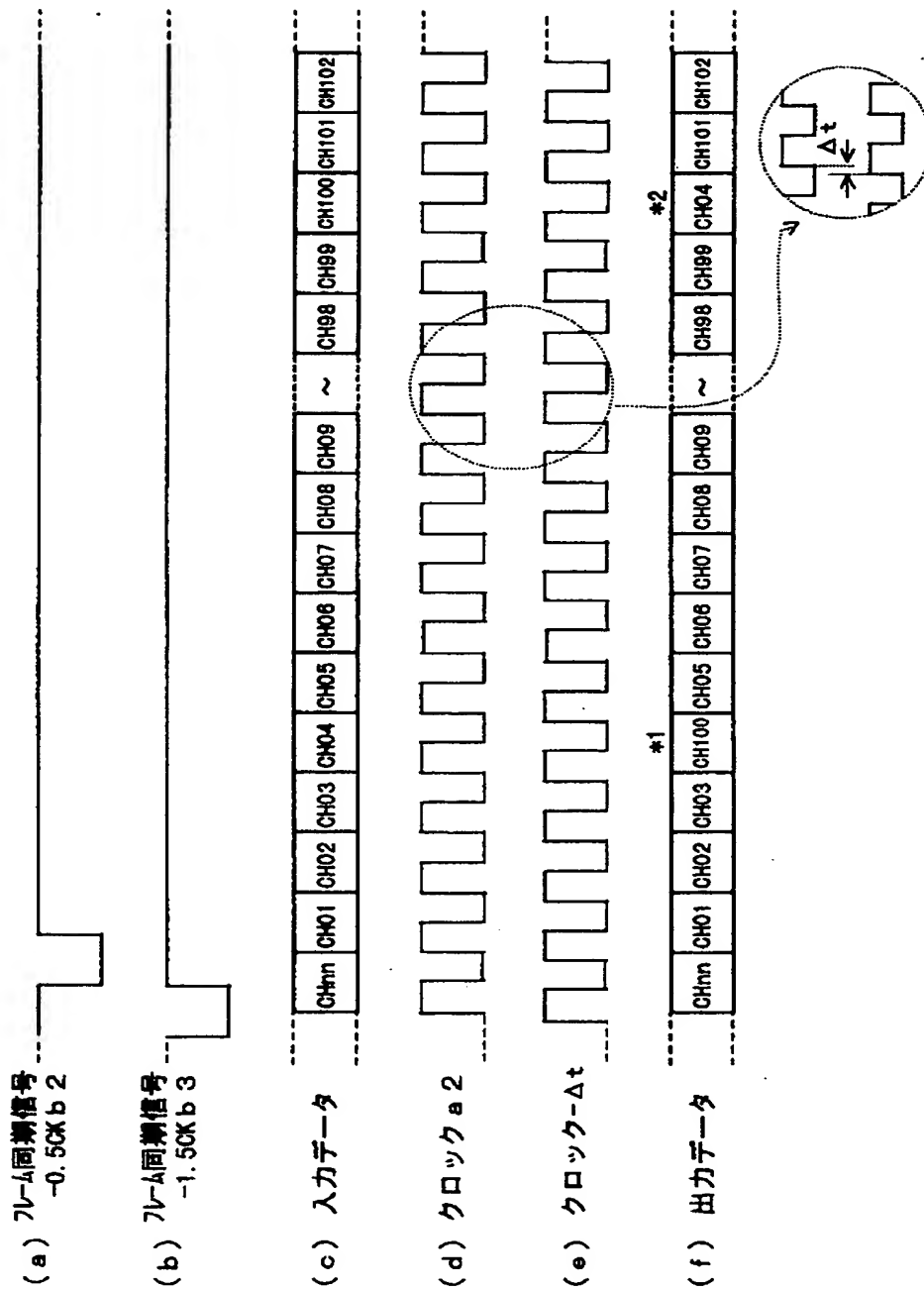
アドレス	データ	
タイムスロット情報	(CHデータ情報)	切替情報
0000	0000	0
0001	0001	0
0002	0002	0
0003	0003	0
0004	0100	1
0005	0005	0
⋮	⋮	⋮
0099	0099	0
0100	0004	1
0101	0101	0

* 1

* 2

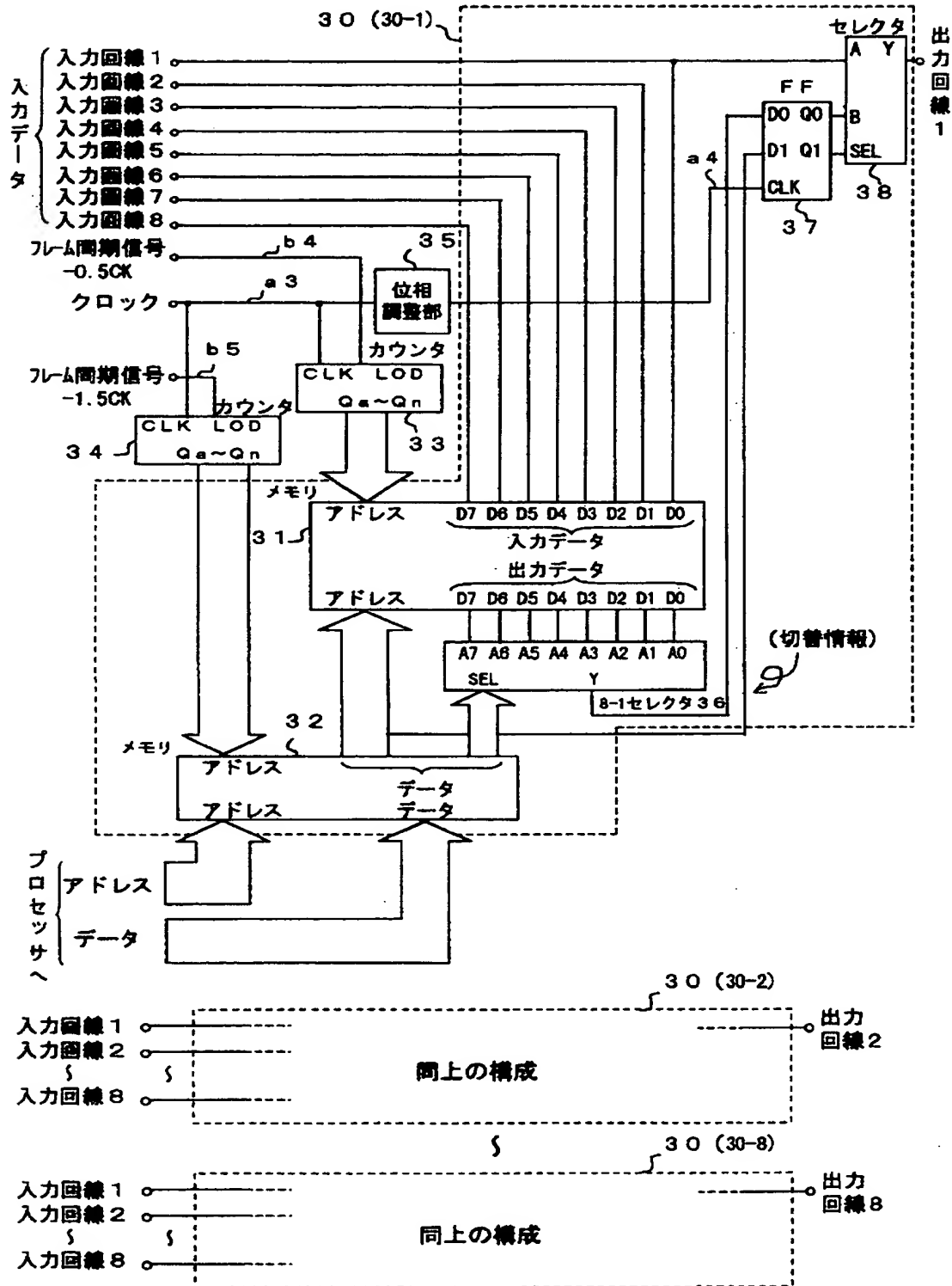
【図10】

第4の実施形態の動作を
説明するためのタイムチャート



【図11】

本発明の第5の実施形態の
クロスコネクトの構成を示すブロック図



【図 12】

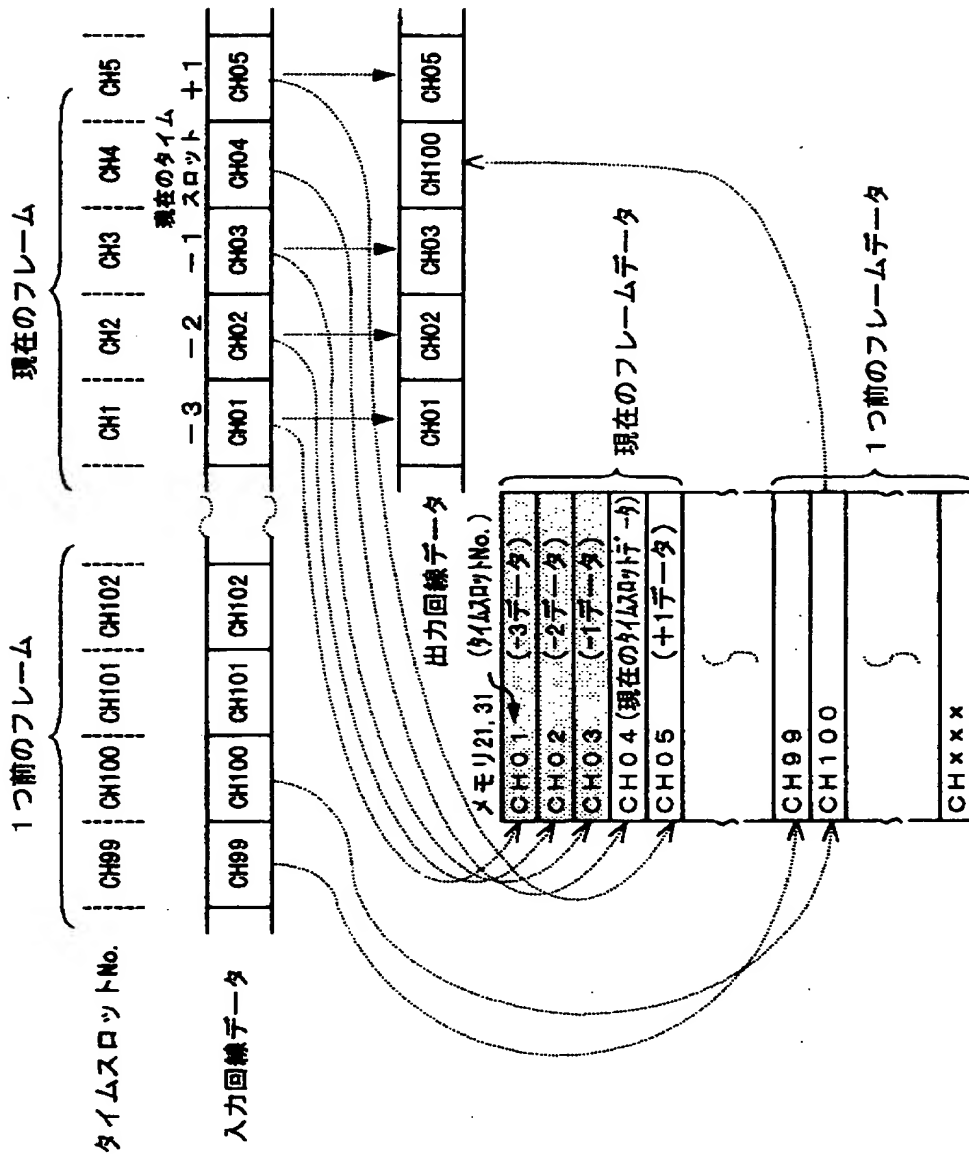
メモリ 32 に入力される
データの例を示す図

32
↓

アドレス	データ			
	タイムスロット情報	CHデータ情報	回線情報	切替情報
0000	0000	00	0	
0001	0001	00	0	
0002	0002	00	0	
0003	0050	03	1	* 3
0004	0100	00	1	* 1
0005	0005	00	0	
⋮	⋮	⋮	⋮	
0099	0100	07	1	* 4
0100	0004	00	1	* 2
0101	0101	00	0	

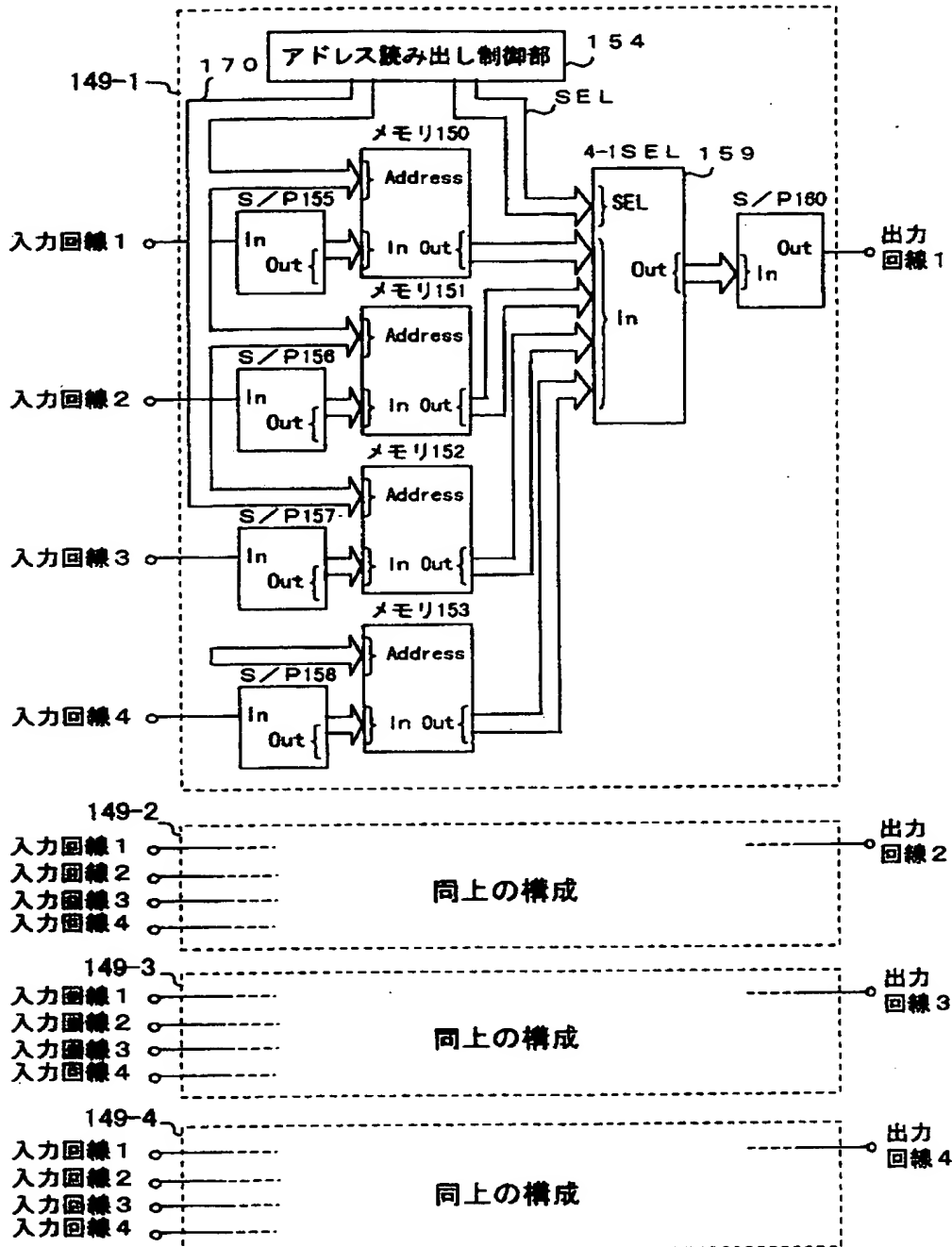
【図 13】

第 4 及び第 5 の実施形態の
動作を説明する概念図



【図 14】

従来のクロスコネクト装置において、フレーム信号をチャンネル単位で時間・空間的に交換するスイッチ部分の構成を示す図



【書類名】 要約書

【要約】

【課題】 信号伝搬遅延が極めて小さく、小型で大容量のクロスコネク装置を実現できるクロスコネクスイッチを提供する。

【解決手段】 入力データ（入力フレーム）は、タイムスロット単位でメモリ1に順次記憶される。カウンタ3は、入力フレームのタイムスロットに同期したクロックaの入力パルス数を計数し、その計数値をメモリ1に書込みアドレスとして出力すると共に、メモリ2に読み出しアドレスとして出力する。メモリ2には、予め、クロスコネク装置内のプロセッサにより、タイムスロットの交換情報を示すデータが書込まれる。メモリ2は、カウンタ3から入力されたアドレスに格納されているデータを、メモリ1に読み出しアドレスとして出力する。メモリ1は、該アドレスに格納されている入力フレームのタイムスロットのデータを、出力フレームのタイムスロットデータとして出力する。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】 富士通株式会社
【代理人】 申請人
【識別番号】 100074099
【住所又は居所】 東京都千代田区二番町8番地20 二番町ビル3F
大菅内外国特許事務所
【氏名又は名称】 大菅 義之
【選任した代理人】
【識別番号】 100067987
【住所又は居所】 神奈川県横浜市港北区太尾町1418-305 (大倉山二番館) 久木元特許事務所
【氏名又は名称】 久木元 彰

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社